

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-198806
 (43)Date of publication of application : 06.08.1993

(51)Int.Cl. H01L 29/784
 G02F 1/1345
 G02F 1/136
 H01L 27/12

(21)Application number : 04-170341
 (22)Date of filing : 29.06.1992

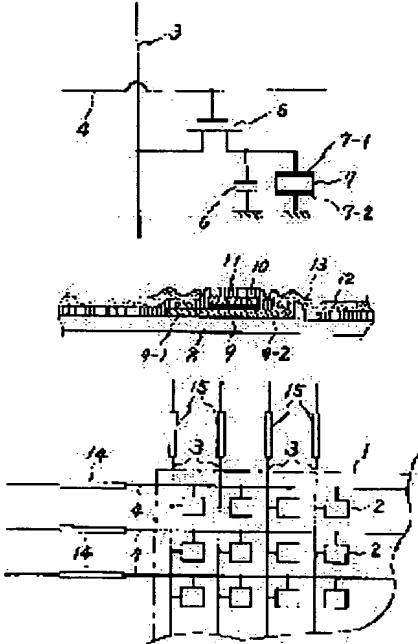
(71)Applicant : SEIKO EPSON CORP
 (72)Inventor : KODAIRA TOSHIMOTO
 OSHIMA HIROYUKI
 MANO TOSHIHIKO

(54) MATRIX ARRAY SUBSTRATE

(57)Abstract:

PURPOSE: To make the title matrix array increasing the electrostatic breakdown strength by a method wherein resistors are inserted into the parts outside the matrix array region on a signal input side per one multiple respective lines of multiple gate lines or source lines.

CONSTITUTION: The aluminum wiring 13 connected to source 9-1 of transistor 2 is extended in the vertical direction to be source line 3 while the other aluminum wiring 13 connected to drain 9-2 of the transistor 2 is connected to a capacitor 6 and a liquid crystal cell 7. On the other hand, MOS type transistors 2 are arranged in matrix source line 3 outside the matrix region of gate line 4 while the other resistors 14 are connected to the outside of the gate lines 4. Accordingly, the resistors 14, 15 can be inserted into the parts outside the matrix array region on a signal input side of gate lines 4 or source lines 3 thereby enabling the electrostatic breakdown strength to be notably increased for manufacturing a highly reliable liquid crystal display.



LEGAL STATUS

| | |
|---|------------|
| [Date of request for examination] | 29.07.1992 |
| [Date of sending the examiner's decision of rejection] | 03.10.1995 |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] | |
| [Date of final disposal for application] | |
| [Patent number] | 2587754 |
| [Date of registration] | 05.12.1996 |
| [Number of appeal against examiner's decision] | 07-23818 |

[of rejection]

[Date of requesting appeal against examiner's decision of rejection] 02.11.1995

[Date of extinction of right] 07.07.2002

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198806

(43)公開日 平成5年(1993)8月6日

| (51)Int.Cl. ⁵ | 識別記号 | 序内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|---------|----------------------------|------------|
| H 01 L 29/784 | | | | |
| G 02 F 1/1345 | | 9018-2K | | |
| 1/136 | 5 0 0 | 9018-2K | | |
| H 01 L 27/12 | A | 8728-4M | | |
| | | 9056-4M | H 01 L 29/ 78 3 1 1 A | |
| | | | 審査請求 有 | 発明の数1(全5頁) |

(21)出願番号

特願平4-170341

(62)分割の表示

特願昭57-118254の分割

(22)出願日

昭和57年(1982)7月7日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小平 寿源

長野県諏訪市大和3丁目3番5号株式会社

諏訪精工舎内

(72)発明者 大島 弘之

長野県諏訪市大和3丁目3番5号株式会社

諏訪精工舎内

(72)発明者 真野 敏彦

長野県諏訪市大和3丁目3番5号株式会社

諏訪精工舎内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

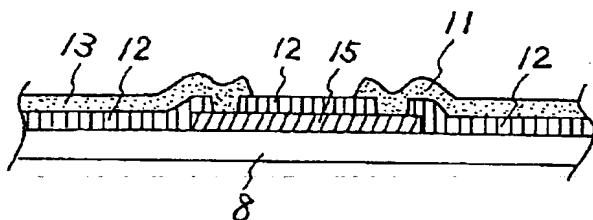
(54)【発明の名称】 マトリックスアレー基板

(57)【要約】

【目的】 静電気耐量を高めたマトリックスアレーを提供する。

【構成】 複数本のゲート線と該ゲート線と直交する複数本のソース線を備え、該ゲート線と該ソース線の各交点に非線形素子を形成してなるマトリックスアレー基板において、該複数本のゲート線又は該複数本のソース線の少なくとも一方には、複数の各線毎に、該ゲート線又は該ソース線の信号入力側のマトリックスアレー領域外に、抵抗器を挿入する。

【効果】 静電大量が大幅に向上升し、静電気による非線形素子の破壊が非常に少くなり、信頼性の高い液晶表示装置の提供が可能となる。



【特許請求の範囲】

【請求項1】複数本のゲート線と該ゲート線と直交する複数本のソース線を備え、該ゲート線と該ソース線の各交点に非線形素子を形成してなるマトリックスアレー基板において、該複数本のゲート線又は該複数本のソース線の少なくとも一方には、複数の各線毎に、該ゲート線又は該ソース線の信号入力側のマトリックスアレー領域外に、抵抗器を挿入したことを特徴とするマトリックスアレー基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマトリックスアレーの構成方法に関するものであり、さらには静電気耐量を高めたマトリックスアレーの構成方法に関するものである。

【0002】

【従来の技術】電子装置の年々の小型化に対し、周辺装^{置としての表示装置も、軽量小型化が進み、さらには、C R Tに代わって平面型の表示パネルも各種研究され、市場にも出回っている。この様な平面型の表示パネルの構成方法は、特に大容量のパネルではスイッチング素子を用いたマトリックスアレータイプが大部分を占めており、その代表的なアレーの構成例を示したものが図1a及びbである。}

【0003】これはアクティブマトリックスアレー液晶表示装置を例にとったものであり、図1aにおいて、複数本のソース線3とこれに直交する複数本のゲート線4、及びこれらのソース線とゲート線の交点に接続された非線形素子2より構成されている。これを一方のガラス基板上に形成し、この基板と全面に共通電極を形成した基板との間に液晶を介在させて液晶表示パネルを作る。図1bは図1aの非線形素子2の具体例を示したものであり、非線形素子としてMOS型トランジスター5を用いたものである。トランジスターのソース電極はソース線3と、ゲート電極はゲート線4と接続されている。さらにドレインは電荷蓄積用コンデンサ6と液晶表示セル7とに接続されている。

【0004】ところでMOS型のトランジスターは静電気に弱く、しかもゲート絶縁膜が静電気により破壊され易い。マトリックスアレーのソース線及びゲート線に静電気が入ると、直接ゲート絶縁膜に静電気の電圧が加わるのでアレーのどの位置のトランジスターも静電気が加わると破壊され易い。さらにアレーを形成する基板はガラスすなわち絶縁体であって、しかも図1aからもわかるようにソース線及びゲート線とともにマトリックスアレー領域の外側まで電気接続の為に延在させてある。よって静電気に暴露された場合、電荷は導電性のソース又はゲート線に集中してしまいこの点からも絶縁基板上のマトリックスアレーは静電気に弱い。

【0005】さらに絶縁基板であることから基板上に蓄

積した電荷は逃げ難く、人体等の導電体が基板のソース線、ゲート線に接触した場合瞬時に電荷が逃げこの場合も破壊につながる。従って基板の取扱いに当たっては、静電気の発生には十分注意すると共に基板上に蓄積した電荷は空気中へ自然放電する様な雰囲気を常に保たなければならない。

【0006】以上の様に絶縁体であるガラス基板上に非線形素子を用いたアクティブマトリックスアレーを構成した場合、非常に静電気に弱く又取扱いもやっかいであ

10 って、量産上歩留の変動、低下等大きな問題が生ずる。

【0007】

【発明が解決しようとする課題】本発明は以上の様な欠点に鑑みてなされたものであり、その目的は静電気耐量を高めたマトリックスアレーを提供することにある。

【0008】

【課題を解決するための手段】以上の様な課題を解決するため、本発明のマトリックスアレー基板は、複数本のゲート線と該ゲート線と直交する複数本のソース線を備え、該ゲート線と該ソース線の各交点に非線形素子を形成してなるマトリックスアレー基板において、該複数本のゲート線又は該複数本のソース線の少なくとも一方には、複数の各線毎に、該ゲート線又は該ソース線の信号入力側のマトリックスアレー領域外に、抵抗器を挿入したことを特徴とする。

【0009】

【実施例】以下図面により本発明を詳細に説明する。図2はMOS型トランジスターの断面の例を示したものである。ガラス8の表面に半導体物質の多結晶シリコン9を形成しパターニングする。次にゲート絶縁膜10を少なくとも多結晶シリコン9をおおって形成し、その上へトランジスターのゲート材料11を構成する。このゲート材料11はさらに左右に延在せしめてゲート線4とする。次にゲート電極10におおわれていないゲート絶縁膜を除去し多結晶シリコン9が露出した領域にボロン又はリンを拡散しトランジスターのソース9-1、ドレイン9-2とする。次に絶縁膜12を全面に形成し、ソースとドレイン領域上の絶縁膜12をエッティング除去し図面のごとくコンタクトホールを開ける。最後にアルミニウム13を形成しパターニングするとMOS型トランジスターの製造が完了する。

【0010】トランジスターのソースに接続したアルミニウムは紙面に垂直方向に延在させてソース線3とする。またトランジスターのドレインに接続されたアルミニウム配線13は、図1bに示された様にコンデンサー6と液晶セル7とに接続されている。図2の例のMOS型トランジスターをマトリックスアレー状に配置しさらにソース線、ゲート線のマトリックス領域外部に抵抗を配置した1例が図3である。

【0011】ソース線は3、ゲート線は4、MOS型トランジスターが2であり、ソース線3の外部へ抵抗器1

5を接続し、ゲート線4の外部へ抵抗器14を接続する。

【0012】ソース線にアルミニウムを用いた場合の線抵抗は、アルミニウム薄膜の比抵抗は約 5×10^{-6} Ω・mであるので、薄膜を1ミクロンメートルとするとシート抵抗は 5×10^{-7} Ω/□である。表示パネルの大きさを5センチメートル平方、ソースのアルミニウム線幅を10ミクロンメートルとすれば、250オームとなる。

【0013】このソース線に抵抗を接続する方法を図4に示す。図2のゲート11を形成するのと同時に図4の15の位置に抵抗器を作り込む。11のゲート材料が多結晶シリコンの場合1000度のプレデポジションでボロン又はリンを拡散したとするとシート抵抗(膜厚は3000オングストロームとする)は50~100Ω/□となる。従って幅10ミクロンメートル長さ200ミクロンで1キロオーム以上の抵抗ができる。

【0014】ここで本発明者が行った実験結果より静電気保護抵抗器の効果について述べる。実験は100ピコファラッドのコンデンサーに各種電圧で電荷を蓄積しそれを各ソース線に放電させこれにより破壊したトランジスターの数を数えた。図5がその結果であり、横軸へ100ピコファラッドのコンデンサーへ充電した電圧であり、縦軸はトランジスターの破壊数である。

【0015】まず抵抗器をいれない場合は300ボルトで破壊が生じ、充電電圧を高めると急速に破壊されるトランジスターの数も増加する。これに対し、抵抗を5キロオーム挿入した場合破壊の生ずる電圧は約2倍に増大し又、破壊開始電圧より電圧を増加した場合の破壊数の増加速度も減少する。このグラフより外部挿入抵抗の抵抗値が1キロオーム近辺よりその効果が現れ始め、抵抗値を増加させればさせる程破壊耐量が増加する。これは抵抗により受けた静電気がマトリックス領域に達する時間が遅れ、さらにはトランジスターに印加される電圧の上昇速度が遅くなつた為であると考えられる。ちなみに保護抵抗を付けずに10秒程度の時間で線へ印加電圧を0ボルトから80ボルトまで高めても全く破壊が生じないということからも破壊は電圧の絶対値によるのではなく、静電気のトランジスターに加わる電圧の上昇速度が重要であることがわかる。このような保護抵抗はソース線のみならずゲート線に接続してもその効果は同じであり、図4における抵抗器はMOSトランジスターのゲート材料で構成するのみならず、図2における多結晶シリコン9の層を用いても製造可能であり又効果になんら変わることはない。

【0016】さらに本発明の応用は上記説明の様な液晶

表示パネルのみならず他の表示パネルにも応用可能であるが、その効果は絶縁基板上マトリックスアレーを構成したものが最も有効である。適用可能なマトリックスアレーは、同一基板上にソース線とゲート線がある場合のみならず一方の基板にソース線、他の基板にゲート線を構成したマトリックスアレーであっても有効であるがその場合は非線形素子の接続されている線に静電保護を施さなければならない。

【0017】

【発明の効果】以上のごく、複数本のゲート線と該ゲート線と直交する複数本のソース線を備え、該ゲート線と該ソース線の各交点に非線形素子を形成してなるマトリックスアレー基板において、該複数本のゲート線又は該複数本のソース線の少なくとも一方には、複数の各線毎に、該ゲート線又は該ソース線の信号入力側のマトリックスアレー領域外に、抵抗器を挿入したことにより、静電大量が大幅に向上升し、静電気による非線形素子の破壊が非常に少くなり、信頼性の高い液晶表示装置の提供が可能となり、更に該抵抗器を多結晶Si層により形成した場合は、高抵抗の抵抗器が得られ、かつ非線形素子を構成しているゲート電極である多結晶Siを利用でき、抵抗器を作ってもコストアップにならないという効果を有するものである。

【図面の簡単な説明】

【図1】マトリックスアレーの従来における構成例を示す図。

【図2】MOS型トランジスターの構成例の断面図。

【図3】本発明を実施した場合のマトリックスアレーの構成例を示す図。

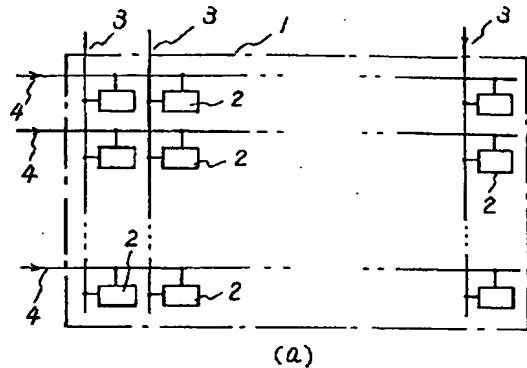
【図4】本発明の保護抵抗の構成例の断面図。

【図5】保護抵抗の効果を表す実験データ。

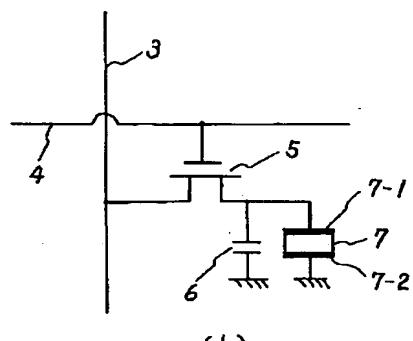
【符号の説明】

- 2 非線形素子
- 3 ソース線
- 4 ゲート線
- 5 MOS型トランジスター
- 6 コンデンサ
- 7 液晶表示セル
- 8 ガラス
- 9 多結晶シリコン
- 10 ゲート電極
- 11 ゲート材料
- 12 絶縁膜
- 13 アルミニウム
- 14、15 抵抗器

【図1】

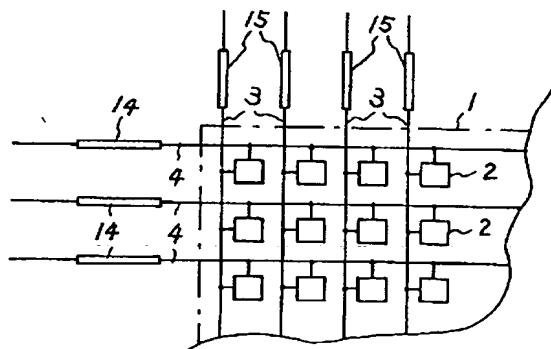


(a)

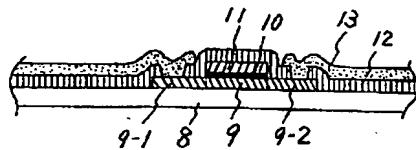


(b)

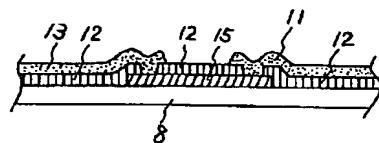
【図3】



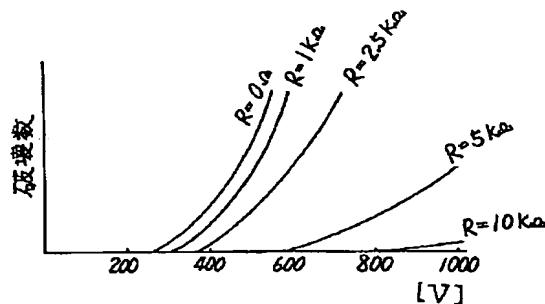
【図2】



【図4】



【図5】



【手続補正書】

【提出日】平成4年7月29日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【発明の効果】以上の如く、複数本のゲート線と該ゲー

ト線と直交する複数本のソース線を備え、該ゲート線と該ソース線の各交点に非線形素子を形成してなるマトリックスアレー基板において、該複数本のゲート線又は該複数本のソース線の少なくとも一方には、複数の各線毎に、該ゲート線又は該ソース線の信号入力側のマトリックスアレー領域外に、抵抗器を挿入したことにより、静電耐量が大幅に向かし、静電気による非線形素子の破壊が非常に少くなり、信頼性の高い液晶表示装置の提供

が可能となり、更に該抵抗器を多結晶Si層により形成した場合は、高抵抗の抵抗器が得られ、かつ非線形素子を構成しているゲート電極である多結晶Siを利用で

き、抵抗器を作ってもコストアップにならないという効果を有するものである。